

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-056847

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

G05F 3/26
G05F 3/24
H03K 17/687

(21)Application number : 10-229650

(71)Applicant : NEC CORP

(22)Date of filing : 14.08.1998

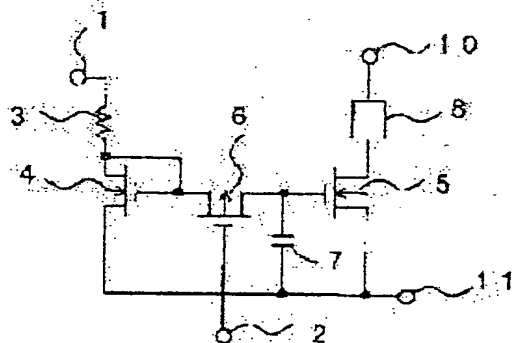
(72)Inventor : NISHITOBA SHIGEO

(54) CONSTANT CURRENT DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a constant current driving circuit which can supply a constant current corresponding to an inputted signal without increasing cost.

SOLUTION: A resistance 3 is connected to an input terminal 1. Further, a transistor (TR) 4 has its drain and gate connected to the resistance 3. A switching TR 6 has one end connected to the drain and gate of the TR 4. A control terminal 2 inputting an address signal for ON/OFF control over the switching TR 6 is connected to the gate of the switching TR 6. One electrode of a charge holding capacity element 7 is connected to the other end of the switching TR 6. The other electrode of the charge holding capacity element 7 is connected to a ground terminal 11. Further, a TR 5 has its gate connected to the other end of the switching TR 6. A load 8 is connected to the drain of the TR 5.



LEGAL STATUS

[Date of request for examination] 17.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2953465

[Date of registration] 16.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2000-56847

(P2000-56847A)

(43)公開日 平成12年2月25日(2000.2.25)

(51)Int.Cl.⁷

識別記号

FI

テマコード(参考)

G05F 3/26

G05F 3/26

5H420

3/24

3/24

A 5J055

H03K 17/687

H03K 17/687

H

審査請求 有 請求項の数7 OL (全7頁)

(21)出願番号 特願平10-229650

(22)出願日 平成10年8月14日(1998.8.14)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 西島羽 茂夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100090158

弁理士 藤巻 正憲

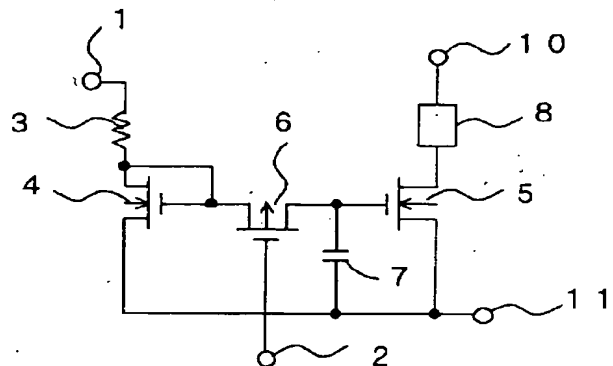
最終頁に続く

(54)【発明の名称】 定電流駆動回路

(57)【要約】

【課題】 コストを上昇させることなく入力された信号に応じた定電流を供給することができる定電流駆動回路を提供する。

【解決手段】 入力端子1に抵抗3が接続されている。また、抵抗3にドレイン及びゲートが接続されたトランジスタ4が設けられている。また、トランジスタ4のドレイン及びゲートに一端が接続されたスイッチ用トランジスタ6が設けられている。そして、スイッチ用トランジスタ6のゲートには、スイッチ用トランジスタ6の導通/遮断の制御を行うためのアドレス信号が入力される制御端子2が接続されている。また、スイッチ用トランジスタ6の他端には、電荷保持容量素子7の一方の電極が接続されている。電荷保持容量素子7の他方の電極は、接地端子11に接続されている。更に、スイッチ用トランジスタ6の前記他端にゲートが接続されたトランジスタ5が設けられている。また、トランジスタ5のドレインには、負荷8が接続されている。



【特許請求の範囲】

【請求項 1】 入力端子と、この入力端子にドレインが接続され接地にソースが接続された第 1 のトランジスタと、この第 1 のトランジスタのゲート及びドレインに接続されたスイッチ用トランジスタと、このスイッチ用トランジスタのゲートに接続されこのスイッチ用トランジスタの導通と非導通とを切替える信号が入力される制御端子と、前記スイッチ用トランジスタにゲートが接続され接地にソースが接続され前記第 1 のトランジスタと共にカレントミラー回路を構成する第 2 のトランジスタと、この第 2 のトランジスタのゲートに一方の電極が接続され接地に他方の電極が接続された容量素子と、を有することを特徴とする定電流駆動回路。

【請求項 2】 前記第 1 及び第 2 のトランジスタのチャネルの導電型は、前記スイッチ用トランジスタのチャネルの導電型と相違し、前記第 1 のトランジスタのソースと接地との間に接続された第 1 のレベルシフト用ダイオードと、前記第 2 のトランジスタのソースと接地との間に接続された第 2 のレベルシフト用ダイオードと、を有することを特徴とする請求項 1 に記載の定電流駆動回路。

【請求項 3】 前記第 1 及び第 2 のトランジスタのチャネルの導電型は、前記スイッチ用トランジスタのチャネルの導電型と同じであることを特徴とする請求項 1 に記載の定電流駆動回路。

【請求項 4】 入力端子と、この入力端子にドレインが接続され接地にソースが接続された第 1 のトランジスタと、この第 1 のトランジスタのゲートとドレインとの間に接続されたスイッチ用トランジスタと、このスイッチ用トランジスタのゲートに接続されこのスイッチ用トランジスタの導通と非導通とを切替える信号が入力される制御端子と、前記第 1 のトランジスタのゲートにゲートが接続され接地にソースが接続され前記第 1 のトランジスタと共にカレントミラー回路を構成する第 2 のトランジスタと、この第 2 のトランジスタのゲートに一方の電極が接続され接地に他方の電極が接続された容量素子と、を有することを特徴とする定電流駆動回路。

【請求項 5】 前記入力端子と前記第 1 のトランジスタのドレインとの間に接続された抵抗を有することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の定電流駆動回路。

【請求項 6】 前記入力端子と前記抵抗との間に接続されたソースフォロウ用トランジスタを有することを特徴とする請求項 5 に記載の定電流駆動回路。

【請求項 7】 前記第 2 のトランジスタのドレインは有機エレクトロルミネセント素子に接続されることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の定電流駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス方式の有機エレクトロルミネセント素子等に好適な定電流駆動回路に関し、特に、内蔵されるカレントミラー回路の整合性の向上を図った定電流駆動回路に関する。

【0002】

【従来の技術】従来、アクティブマトリクス方式の有機エレクトロルミネセント（EL）素子等に定電流駆動回路が使用されている。図 7 は従来の定電流駆動回路を示す回路図である。

【0003】従来の定電流駆動回路においては、入力端子 101 に抵抗 103 が接続されている。また、抵抗 103 にドレイン及びゲートが接続されたトランジスタ 104 が設けられている。トランジスタ 104 のソースには、スイッチ用トランジスタ 106 のドレインが接続されている。そして、スイッチ用トランジスタ 106 のゲートには、スイッチ用トランジスタ 106 の導通／遮断の制御を行うためのアドレス信号が入力される制御端子 102 が接続され、スイッチ用トランジスタ 106 のソースには、接地端子 111 が接続されている。

【0004】また、トランジスタ 104 のドレイン及びゲートには、電荷保持容量素子 107 の一方の電極が接続されている。電荷保持容量素子 107 の他方の電極は、接地端子 111 に接続されている。更に、トランジスタ 104 のドレイン及びゲートにゲートが接続されたトランジスタ 105 が設けられている。トランジスタ 105 のソースは接地端子 111 に接続されている。また、トランジスタ 105 のドレインには、負荷 108 が接続されている。負荷 108 は、例えば定電流駆動を要する有機 EL 素子である。そして、負荷 108 には、電源端子 110 が接続されている。このようにして構成された従来の定電流駆動回路には、トランジスタ 104 及び 105 からなるカレントミラー回路が含まれている。

【0005】そして、入力端子 101 に入力された信号の電圧に応じて抵抗 103 に電流が流れる。このとき、スイッチ用トランジスタ 106 が導通状態であれば、トランジスタ 105 に抵抗 103 に流れる電流に比例した電流がドレイン電流として流れ、負荷 108 にも電流が流れる。一方、スイッチ用トランジスタ 106 が遮断状態であれば、トランジスタ 105 にはドレイン電流が流れないので、負荷 108 にも電流は流れない。このようにして、負荷 108 に流れる定電流の導通／遮断が制御される。

【0006】

【発明が解決しようとする課題】しかしながら、上述の従来の定電流駆動回路においては、スイッチ用トランジスタ 106 のオン抵抗及びソース電流による電圧降下のためにカレントミラー回路の整合性が悪化し、負荷 108 に入力端子 101 の信号レベルに応じた定電流が供給されないという問題点がある。

【0007】また、これを防止するためにスイッチ用ト

ランジスタ106のサイズを大きくしてそのオン抵抗を小さくすることが考えられるが、これを半導体集積回路で構成しようとする場合、チップサイズが増大するため、コストの上昇につながる。また、例えば有機EL素子の駆動回路として薄膜トランジスタ(TFT)を使用する場合、スイッチ用トランジスタに大きなサイズが必要となるため、画素の占有率が減って開口率が低下して輝度が低下してしまう。この場合には、輝度を通常使用レベルまで上昇させるために定電流値を上げる等の対策が必要となり、近時の省電力化に逆行するものとなる。

【0008】本発明はかかる問題点に鑑みてなされたものであって、コストを上昇させることなく入力された信号に応じた定電流を供給することができる定電流駆動回路を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明に係る定電流駆動回路は、入力端子と、この入力端子にドレインが接続され接地にソースが接続された第1のトランジスタと、この第1のトランジスタのゲート及びドレインに接続されたスイッチ用トランジスタと、このスイッチ用トランジスタのゲートに接続されこのスイッチ用トランジスタの導通と非導通とを切替える信号が入力される制御端子と、前記スイッチ用トランジスタにゲートが接続され接地にソースが接続され前記第1のトランジスタと共にカレントミラー回路を構成する第2のトランジスタと、この第2のトランジスタのゲートに一方の電極が接続され接地に他方の電極が接続された容量素子と、を有することを特徴とする。

【0010】なお、前記第1及び第2のトランジスタのチャンネルの導電型は、前記スイッチ用トランジスタのチャンネルの導電型と相違し、前記第1のトランジスタのソースと接地との間に接続された第1のレベルシフト用ダイオードと、前記第2のトランジスタのソースと接地との間に接続された第2のレベルシフト用ダイオードと、を有してもよい。

【0011】また、前記第1及び第2のトランジスタのチャンネルの導電型は、前記スイッチ用トランジスタのチャンネルの導電型と同じであってもよい。

【0012】本発明に係る他の定電流駆動回路は、入力端子と、この入力端子にドレインが接続され接地にソースが接続された第1のトランジスタと、この第1のトランジスタのゲートとドレインとの間に接続されたスイッチ用トランジスタと、このスイッチ用トランジスタのゲートに接続されこのスイッチ用トランジスタの導通と非導通とを切替える信号が入力される制御端子と、前記第1のトランジスタのゲートにゲートが接続され接地にソースが接続され前記第1のトランジスタと共にカレントミラー回路を構成する第2のトランジスタと、この第2のトランジスタのゲートに一方の電極が接続され接地に他方の電極が接続された容量素子と、を有することを特

徴とする。

【0013】なお、前記入力端子と前記第1のトランジスタのドレインとの間に接続された抵抗を有することができる。

05 【0014】また、前記入力端子と前記抵抗との間に接続されたソースフォロウ用トランジスタを有することができる。

【0015】更に、前記第2のトランジスタのドレインは有機エレクトロルミネセント素子に接続されることが

10 できる。
【0016】本発明においては、スイッチ用トランジスタが非導通にされても、第2のトランジスタのゲートと接地との間に設けられた容量素子に蓄積された電荷によって、定電流を供給し続けることができる。また、スイッチ用トランジスタのオン抵抗による電圧降下は無視できるほど小さい。このため、カレントミラー回路の整合性が著しく改善される。

【0017】

【発明の実施の形態】以下、本発明の実施例に係る定電流駆動回路について、添付の図面を参照して具体的に説明する。図1は本発明の第1の実施例に係る定電流駆動回路を示す回路図である。

【0018】本実施例の定電流駆動回路においては、入力端子1に抵抗3が接続されている。また、抵抗3にドレイン及びゲートが接続されたNチャネルMOSトランジスタ4が設けられている。トランジスタ4のソースには、接地端子11が接続されている。また、トランジスタ4のドレイン及びゲートに一端が接続されPチャネルMOSトランジスタであるスイッチ用トランジスタ6が設けられている。そして、スイッチ用トランジスタ6のゲートには、スイッチ用トランジスタ6の導通/遮断(非導通)の制御を行うためのアドレス信号が入力される制御端子2が接続されている。

【0019】また、スイッチ用トランジスタ6の他端には、電荷保持手段として電荷保持容量素子7の一方の電極が接続されている。電荷保持容量素子7の他方の電極は、接地端子11に接続されている。更に、スイッチ用トランジスタ6の前記他端にゲートが接続されたNチャネルMOSトランジスタ5が設けられている。トランジスタ5のソースは接地端子11に接続されている。また、トランジスタ5のドレインには、負荷8が接続されている。負荷8は、例えば定電流駆動を要するアクティブマトリクス方式の有機エレクトロルミネセント(EL: Electro-Luminescent)素子である。そして、負荷8には、電源端子10が接続されている。このようにして構成された本実施例の定電流駆動回路には、トランジスタ4及び5からなるカレントミラー回路が含まれている。

【0020】次に、上述のように構成された本実施例の定電流駆動回路の動作について説明する。

【0021】入力端子1に画像信号等の入力信号が入力されると、この信号の電圧に応じて抵抗3に電流が流れる。そして、抵抗3に流れる電流は、ドレイン及びソースが相互に接続されたトランジスタ4に流れ、トランジスタ4にゲートソース間電圧が発生する。

【0022】そして、制御端子2に入力されたアドレス信号がロウレベルでスイッチ用トランジスタ6が導通状態の場合には、トランジスタ4に発生したゲートソース間電圧は、スイッチ用トランジスタ6を介して電荷保持容量素子7及びトランジスタ5のゲートに印加される。このとき、トランジスタ4及び5はカレントミラー回路を構成しているため、抵抗3に流れる電流に比例した電流がトランジスタ5のドレイン電流として流れる。即ち、トランジスタ4とトランジスタ5とのパターンサイズの比によって決定される電流、例えばトランジスタ4及び5が同一パターンサイズで構成されている場合には、抵抗3に流れる電流と等しい電流がトランジスタ5のドレインとソースとの間を流れる。これにより、負荷8が駆動される。

【0023】次に、制御端子2に入力されたアドレス信号がハイレベルでスイッチ用トランジスタ6が遮断状態となると、トランジスタ4及び5からなるカレントミラー回路も遮断される。しかし、スイッチ用トランジスタ6が導通状態の時に、入力端子1の信号電圧に応じた電流がトランジスタ4に流れ、その電流に応じたトランジスタ4のゲートソース間電圧が電荷保持容量素子7に印加されている。このため、スイッチ用トランジスタ6が遮断された後にも、この電圧がトランジスタ5のゲートに印加されるので、このゲート電圧に応じた電流が負荷8に供給される。即ち、スイッチ用トランジスタ6が遮断状態でも、負荷8には入力端子1の信号電圧に応じた電流が供給され続ける。

【0024】従って、本実施例をアクティブマトリクス方式の有機EL素子の駆動回路に適用した場合、入力端子1には入力画像信号が入力され、その階調データによって発光輝度が変化する。また、制御端子2にはアドレス信号が入力され、入力端子1からの画像信号に対応する画素が電荷保持容量素子7に選択的に読み込まれ、次の新しい画像信号が入力されるまで電荷が保持され、画素は発光し続ける。

【0025】このように、本実施例によれば、スイッチ用トランジスタ6のオン抵抗による電圧降下を無視できるため、カレントミラー回路の整合性が改善される。

【0026】また、従来技術のように大電流経路にスイッチ素子設ける場合には、オン抵抗を低減するために素子サイズを大きくする必要があったが、本実施例においてスイッチ用トランジスタ6を流れる電流は無視できるほど小さいので、最小寸法のトランジスタにて構成することができる。従って、半導体集積回路に適用する場合にも、安価なものとなる。

【0027】更に、有機ELの駆動回路として薄膜トランジスタ(TFT)を使用する場合にも、大きなスイッチ用トランジスタは不要であるため、画素の開口率の向上をさせ有機ELの輝度を向上させることが可能である。

また、薄膜トランジスタによりカレントミラー回路を構成するトランジスタ4及び5を作製する場合、トランジスタ4及び5を相互に隣接して配置することができるため、製造に起因するトランジスタのパラメータのバラツキを低く抑制することができる。従って、トランジスタ4及び5からなるカレントミラー回路の整合性が向上する。

【0028】次に、本発明の第2の実施例について説明する。本実施例には、レベルシフト用のダイオード構造を有するトランジスタが配設されている。図2は本発明の第2の実施例に係る定電流駆動回路を示す回路図である。なお、図2に示す第2の実施例において図1に示す第1の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0029】本実施例に係る定電流駆動回路には、トランジスタ4のソースにドレインが接続され接地端子11にソースが接続されダイオード構造を有するNチャネルMOSトランジスタ12が設けられている。また、トランジスタ5のソースにドレインが接続され接地端子11にソースが接続されダイオード構造を有するNチャネルMOSトランジスタ13が設けられている。

【0030】第1の実施例においては、カレントミラー回路が2個のNチャネルMOSトランジスタから構成され、スイッチ用トランジスタにPチャネルMOSトランジスタが使用されているが、このような構成のもとでPチャネルMOSトランジスタのオン電圧がNチャネルMOSトランジスタのオン電圧より大きい場合には、スイッチ用トランジスタ6を導通させるためには、制御端子2の電圧を接地端子11の電圧以下にする必要がある。

【0031】第2の実施例においても、制御端子2の電圧を接地端子11の電圧以下にする必要があるが、レベルシフト用にトランジスタ12及び13が設けられているので、容易に適応することが可能である。

【0032】なお、この場合、カレントミラー回路の整合性を確保するため、トランジスタ12及び13は相互に同一導伝形式、つまりチャネルの導電型が同じである必要がある。本実施例においては、NチャネルMOSトランジスタが使用されているが、PチャネルMOSトランジスタを使用されても同様の効果が得られる。

【0033】また、第1の実施例においても、NチャネルMOSトランジスタとPチャネルMOSトランジスタとのオン電圧が等しければ何ら問題はない。

【0034】次に、本発明の第3の実施例について説明する。本実施例においては、スイッチ用トランジスタの導伝形式がカレントミラー回路を構成するトランジスタのそれと同一のものとなっている。図3は本発明の第3

の実施例に係る定電流駆動回路を示す模式図である。なお、図 3 に示す第 3 の実施例において図 1 に示す第 1 の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0035】本実施例に係る定電流駆動回路においては、トランジスタ 4 のゲートとトランジスタ 5 のゲートとの間に N チャネル MOS トランジスタであるスイッチ用トランジスタ 16 が接続されている。

【0036】このように構成された本実施例においては、スイッチ用トランジスタ 16 とカレントミラー回路を構成するトランジスタ 4 及び 5 とのオン電圧が相違していても、制御端子 2 の電圧を接地端子 1 の電圧以下にする必要がなくなる。

【0037】なお、第 1 の実施例においては、アドレス信号がロウレベルのときにカレントミラー回路が動作状態となるが、第 3 の実施例においては、アドレス信号がハイレベルのときにカレントミラー回路が動作状態となる。

【0038】次に、本発明の第 4 の実施例について説明する。本実施例においては、スイッチ用トランジスタは、カレントミラー回路を構成するトランジスタのゲート間ではなく、入力端子側に接続されたトランジスタのゲートとドレインとの間に接続される。図 4 は本発明の第 4 の実施例に係る定電流駆動回路を示す回路図である。なお、図 4 に示す第 4 の実施例において図 1 に示す第 1 の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0039】本実施例においては、トランジスタ 4 のゲートとトランジスタ 5 のゲートとが直接接続されている。また、N チャネル MOS トランジスタであるスイッチ用トランジスタ 26 がトランジスタ 4 のゲートとドレインとの間に接続されている。

【0040】このように構成された本実施例においては、スイッチ用トランジスタ 26 は、カレントミラー回路を構成するトランジスタ 4 及び 5 のゲート間ではなく、トランジスタ 4 のゲートとドレインとの間に接続されているので、スイッチ用トランジスタ 26 のオン抵抗による電圧降下のためにカレントミラー回路の整合性が悪化するということが完全に防止される。

【0041】また、第 4 の実施例においては、制御端子 2 がロウレベルでカレントミラー回路が遮断状態になったとき、スイッチ用トランジスタ 26 は遮断される。従って、入力端子 1 がハイレベルの状態でもトランジスタ 4 は遮断されるため、抵抗 3 及びトランジスタ 4 の経路には電流が流れなくなり、消費電力が低下する。従って、本実施例を例えば有機 EL 素子等を使用した画像表示装置の駆動回路に適用した場合、画像表示装置には複数の有機 EL 素子が縦横に配列されているので、著しい省電力化が期待できる。

【0042】次に、本発明の第 5 の実施例について説明

する。本実施例においては、入力端子と抵抗との間にソースフォロウ用トランジスタが接続される。図 5 は本発明の第 5 の実施例に係る定電流駆動回路を示す回路図である。なお、図 5 に示す第 5 の実施例において図 1 に示す第 1 の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0043】本実施例には、入力端子 1 にゲートが接続され N チャネル MOS トランジスタであるソースフォロウ用トランジスタ 9 が設けられており、その一端は抵抗 3 に、その他端は電源端子 10 に接続されている。また、トランジスタ 4 及び 5 のゲート間には、スイッチ用トランジスタ 36 が接続されている。このスイッチ用トランジスタ 36 は N チャネル MOS トランジスタであっても P チャネル MOS トランジスタであってもよい。

【0044】このように構成された本実施例においては、ソースフォロウ用トランジスタ 9 により、入力端子 1 側のインピーダンスが高くてもカレントミラー回路を構成するトランジスタ 4 を十分に駆動させることが可能である。

【0045】また、第 1 の実施例では、入力端子 1 がロウレベルでありインピーダンスが低い場合には、電荷保持容量素子 7 に蓄積されていた電荷がスイッチ用トランジスタ 6 が遮断状態のときにスイッチ用トランジスタ 6 のオフ抵抗と抵抗 3 との経路で放電することにより、電荷保持の機能が十分ではなくなることがあるが、第 5 の実施例にはトランジスタ 9 が設けられているので、電荷の放電が防止される。

【0046】次に、本発明の第 6 の実施例について説明する。本実施例は、第 4 の実施例と第 5 の実施例とを組み合わせたものである。図 6 は本発明の第 6 の実施例に係る定電流駆動回路を示す回路図である。なお、図 6 に示す第 6 の実施例において図 4 に示す第 4 の実施例又は図 5 に示す第 5 の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0047】本実施例においては、トランジスタ 4 のゲートとトランジスタ 5 のゲートとが直接接続されている。また、N チャネル MOS トランジスタであるスイッチ用トランジスタ 26 がトランジスタ 4 のゲートとドレインとの間に接続されている。更に、本実施例には、入力端子 1 にゲートが接続され N チャネル MOS トランジスタであるソースフォロウ用トランジスタ 9 が設けられており、その一端は抵抗 3 に、その他端は電源端子 10 に接続されている。

【0048】このように構成された本実施例においては、第 4 及び第 5 の実施例による双方の効果が得られる。即ち、カレントミラー回路の整合性が改善される。また、カレントミラー回路を構成するトランジスタ 4 の駆動性及び電荷保持容量素子 7 の放電特性が改善される。更に、入力端子 1 がハイレベル、制御端子 2 がロウレベル、カレントミラー回路が遮断状態のときには、抵抗 3

及びトランジスタ 4 の電流経路が遮断状態となるため、省電力化の効果もある。

【0049】なお、前述の種々の実施例の組み合わせは第 6 の実施例に示すものに限定されるものではない。例えば、第 5 の実施例と第 2 又は第 3 の実施例とを組み合わせてもよい。

【0050】

【発明の効果】以上詳述したように、本発明によれば、スイッチ用トランジスタのオン抵抗による電圧降下を無視できるため、カレントミラー回路の整合性を改善することができる。また、スイッチ用トランジスタを流れる電流は無視できるほど小さくなるので、スイッチ用トランジスタを小型化することができ、半導体集積回路で構成する場合にも、コストの上昇を抑制することができる。更に、種々のトランジスタを薄膜トランジスタとし、有機エレクトロルミネセント素子の駆動回路に適用する場合、大きなスイッチ用トランジスタは必要ないので、画素の開口率を向上させ輝度を向上させることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例に係る定電流駆動回路を示す回路図である。

【図 2】本発明の第 2 の実施例に係る定電流駆動回路を示す回路図である。

【図 3】本発明の第 3 の実施例に係る定電流駆動回路を示す模式図である。

05 【図 4】本発明の第 4 の実施例に係る定電流駆動回路を示す回路図である。

【図 5】本発明の第 5 の実施例に係る定電流駆動回路を示す回路図である。

10 【図 6】本発明の第 6 の実施例に係る定電流駆動回路を示す回路図である。

【図 7】従来の定電流駆動回路を示す回路図である。

【符号の説明】

1、101；入力端子

2、102；制御端子

15 3、103；抵抗

4、5、6、9、12、13、16、26、36、10

4、105、106；トランジスタ

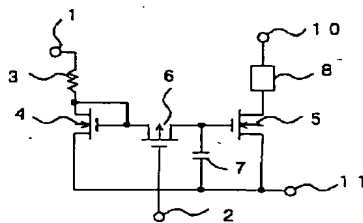
7、107；容量素子

8、108；負荷

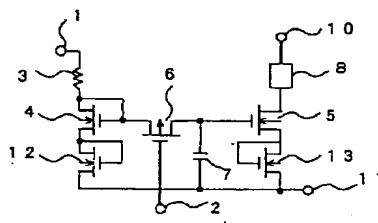
20 10、110；電源端子

11、111；接地端子

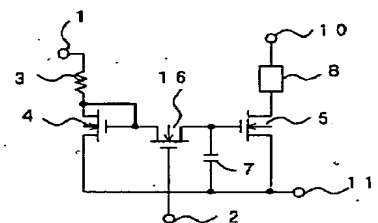
【図 1】



【図 2】

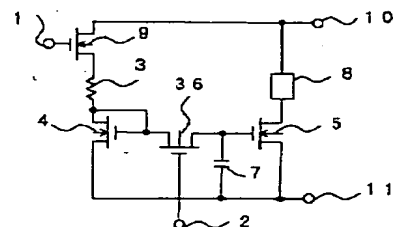


【図 3】

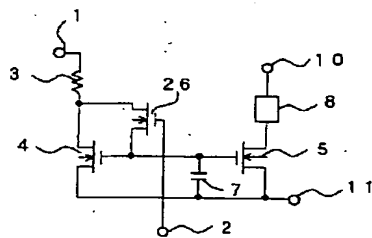


- 1；入力端子
- 2；制御端子
- 3；抵抗
- 4、5、6、12、13；トランジスタ
- 7；容量素子
- 8；負荷
- 10；電源端子
- 11；接地端子

【図 5】

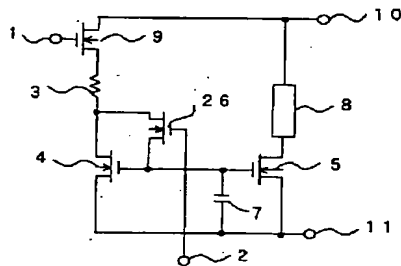


【図4】



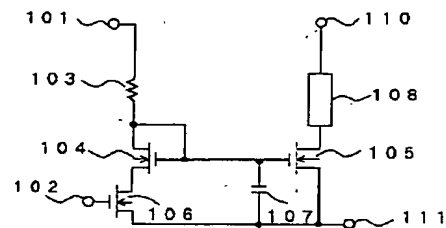
- 1; 入力端子
- 2; 制御端子
- 3; 抵抗
- 4, 5, 16, 26; トランジスタ
- 7; 容量素子
- 8; 負荷
- 10; 電源端子
- 11; 接地端子

【図6】



- 1; 入力端子
- 2; 制御端子
- 3; 抵抗
- 4, 5, 9, 26, 36; トランジスタ
- 7; 容量素子
- 8; 負荷
- 10; 電源端子
- 11; 接地端子

【図7】



- 101; 入力端子
- 102; 制御端子
- 103; 抵抗
- 104, 105, 106; トランジスタ
- 107; 容量素子
- 108; 負荷
- 110; 電源端子
- 111; 接地端子

フロントページの続き

Fターム(参考) 5H420 BB04 BB13 CC02 DD02 EA14 25
 EA18 EA24 EA39 EB15 EB37
 FF04 FF22 NA17 NA28 NB03
 NB12
 5J055 AX11 AX12 AX44 AX48 BX16
 CX29 DX13 DX14 DX22 DX61 30
 EX07 EY01 EY10 EY21 EZ04
 EZ20 GX01